

特開2001-119277

(P2001-119277A)

(43) 公開日 平成13年4月27日(2001.4.27)

(51) Int. C.I.

識別記号

F 1

マークコード(参考)

H03K 5/12

H03K 5/12

BEST AVAILABLE COPY

審査請求 有 請求項の数 10 10 L

(全 14 頁)

(21) 出願番号 特願平11-295755

(71) 出願人 000004237

(22) 出願日 平成11年10月18日(1999.10.18)

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 文彦

東京都港区芝五丁目7番1号

日本電気株式

会社内

(74) 代理人 100105810

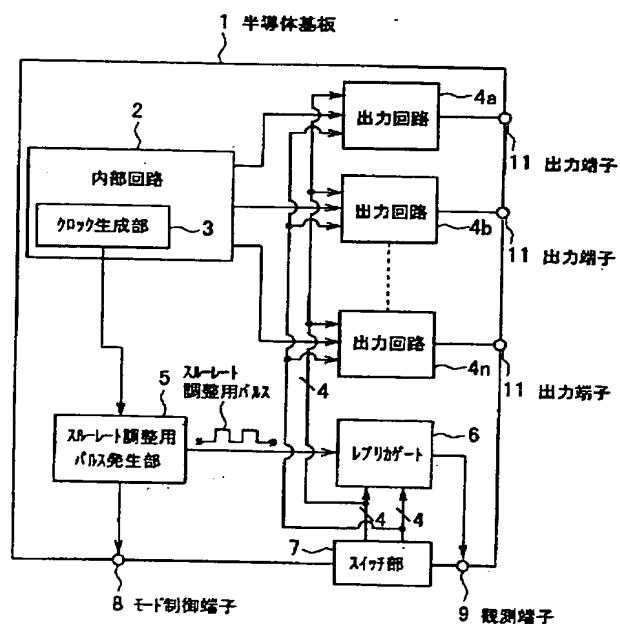
弁理士 根本 宏

(54) 【発明の名称】スルーレート調整可能な出力回路を備えた半導体回路およびその調整方法ならびに自動調整装置

## (57) 【要約】

【課題】回路製造技術の複雑化を招かず、容易かつ精度良く出力回路のスルーレートを調整可能とする。

【解決手段】モード制御端子8にハイレベル信号を供給して、スルーレート調整用パルスをレプリカゲート6に供給させ、スイッチ部7によって、観測端子9におけるスルーレートが所望値となるように設定する。すると、出力回路と同一構成で同一半導体基板上に形成されたレプリカゲート6は、このスイッチ部7の操作によって発生されたデジタル信号に基づいてスルーレートが設定される。また、出力回路4a、4b、…、4nは、そのスルーレートがレプリカゲート6のスルーレートと同じ値となるように調整される。



## 【特許請求の範囲】

【請求項1】 所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、スルーレート調整モードが指定されると、前記レプリカゲートにスルーレート調整用パルスを供給するスルーレート調整用パルス発生手段と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するための設定信号を発生させるための設定手段と、を備え、前記レプリカゲートは、前記設定信号に基づいてそのスルーレートが設定されると共に、前記出力回路は、そのスルーレートが前記レプリカゲートのスルーレートと同じ値となるように調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路。

【請求項2】 所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、前記レプリカゲートにスルーレート調整用パルスを供給するためのスルーレート調整用パルス供給端子と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するための設定信号を発生させるための設定手段と、を備え、前記レプリカゲートは、前記設定信号に基づいてそのスルーレートが設定されると共に、前記出力回路は、そのスルーレートが前記レプリカゲートのスルーレートと同じ値となるように調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路。

【請求項3】 請求項1および2のいずれかに記載のスルーレート調整可能な出力回路を備えた半導体回路において、

前記レプリカゲートは、受信したデジタル信号に基づいて抵抗値を変化させることによってスルーレート設定が可能に構成され、前記設定手段は、スイッチ操作に応じて発生されるデジタル信号を前記レプリカゲートに送信する手段である、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路。

【請求項4】 請求項1に記載のスルー�レート調整可能な出力回路を備えた半導体回路のスルーレート調整方法

2 であって、

スルーレート調整モードを指定して、前記スルーレート調整用パルス発生手段から前記レプリカゲートにスルーレート調整用パルスを供給させ、前記設定手段によって、前記観測端子で観測される前記レプリカゲートのスルーレートが所望値となるように設定する、スルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法。

【請求項5】 請求項2に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法であって、

前記スルーレート調整用パルス供給端子を介して、前記レプリカゲートに前記スルーレート調整用パルスを供給し、

前記設定手段によって、前記観測端子で観測される前記レプリカゲートのスルーレートが所望値となるように設定する、スルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法。

【請求項6】 所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、

前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、

スルーレート調整モードが指定されると、前記レプリカゲートにスルーレート調整用パルスを供給するスルーレート調整用パルス発生手段と、

前記観測端子で観測される前記レプリカゲートのスルーレートを設定するために、所定変更パターンで変更されるデジタル信号を供給するための端子群と、

前記所定変更パターンで変更されるデジタル信号の内、前記レプリカゲートのスルーレートが所望値となるように設定するためのデジタル信号を不揮発的に記憶するメモリと、を備え、

前記レプリカゲートは、前記端子群を介して供給されるデジタル信号に基づいてスルーレートが設定されると共に、前記出力回路は、前記メモリに記憶されたデジタル信号に基づいてスルーレートが調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路。

【請求項7】 請求項6に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置であって、

前記観測端子からの観測信号を計測する計測手段と、自動調整に関する制御を行なう制御手段と、を備え、前記制御手段は、

前記スルーレート調整モードを指定して、前記スルーレート調整用パルス発生手段から前記レプリカゲートにスルーレート調整用パルスを供給させ、

前記端子群に供給するデジタル信号を前記所定変更パターンで変更させて、前記計測手段による計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、この決定したデジタル信号を前記メモリに書き込む、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置。

【請求項8】 所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、前記レプリカゲートにスルーレート調整用パルスを供給するためのスルーレート調整用パルス端子と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するために、所定変更パターンで変更されるデジタル信号を供給するための端子群と、前記所定変更パターンで変更されるデジタル信号の内、前記レプリカゲートのスルーレートが所望値となるように設定するためのデジタル信号を不揮発的に記憶するメモリと、を備え、前記レプリカゲートは、前記端子群を介して供給されるデジタル信号に基づいてスルーレートが設定されると共に、前記出力回路は、前記メモリに記憶されたデジタル信号に基づいてスルーレートが調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路。

【請求項9】 請求項8に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置であって、

前記観測端子からの観測信号を計測する計測手段と、自動調整に関する制御を行なう制御手段と、を備え、前記制御手段は、前記スルーレート調整用パルス供給端子を介して、前記レプリカゲートに前記スルーレート調整用パルスを供給し、

前記端子群に供給するデジタル信号を前記所定変更パターンで変更させて、前記計測手段による計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、この決定したデジタル信号を前記メモリに書き込む、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置。

【請求項10】 請求項7および9のいずれかに記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置において、

前記制御手段は、さらに、自動スルーレート調整に関する時間の統計処理を行なって、その結果を出力手段に出力させる手段である、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自

動調整装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スルーレート調整可能な出力回路を備えたデータ伝送回路等の半導体回路、および、この半導体回路のスルーレート調整方法、ならびに、この半導体回路のスルーレート自動調整装置に関する。

【0002】

10 【従来の技術】 例えばデータ伝送回路等の半導体回路にあっては、データの伝送周期を短くしてデータ伝送を高速化するため、このデータ伝送回路の出力段を構成する出力回路からの出力信号のスルーレートを大きくすることが望まれる。しかし、スルーレートを大きくしていくと、伝送媒体の周波数特性の影響によって、伝送波形に歪が生じてしまう。このようなデータ伝送の高速化と伝送歪の抑制とを両立させるためには、出力回路からの出力信号のスルーレートが或る規定値内におさまるようにして回路設計を行なう必要がある。

20 【0003】 しかし、このような回路設計を行なっても、出力回路の製造ばらつきや経年変化によって、スルーレートが所望のものとならない場合があり、これに対処すべく特開平8-97693号公報において、出力バッファ補償回路に関する技術が開示されている。

【0004】 この出力バッファ補償回路は、内部回路P2内の半導体素子の少なくとも電流駆動能力を、これと同一基板P3上に形成したリングオシレータによって検出し、この検出結果に応じて、出力バッファを構成する可変抵抗素子の可変抵抗値を制御して、スルーレートを補正するものであった。また、この補正の際の制御信号は、カウンタや2つのD/A変換器を用いて生成し、可変抵抗素子としてはMOSトランジスタを用いていた。

【発明が解決しようとする課題】 この公報記載の出力バッファ補償回路にあっては、リングオシレータによって内部回路P2内の半導体素子の電流駆動能力を検出するものであり、オームの法則（電流=電圧/抵抗）を考慮すると、電流をどれだけ流すことができるかという電流駆動能力の検出は、換言すれば、抵抗値がどのような値になっているかを検出することとなる。したがって、確かに、電流駆動能力を検出することによってスルーレート補正を行なうと、内部回路やリングオシレータに用いられているトランジスタと同一タイプのトランジスタで出力バッファを構成した場合、出力バッファ内のトランジスタの抵抗分ばらつきを考慮したスルーレート補正が可能となることが期待できる。

40 【0005】 しかしながら、スルーレートの大きさは、抵抗値と出力バッファ内の寄生容量との積である時定数によって定まるため、寄生容量の影響を考慮した設計としなければ出力バッファ全体での正確なスルーレート調整を行なうことができないという問題があった。また、

上記公報記載の技術によれば、スルーレート補正のための制御信号を生成するために、少なくとも2つのD/A変換器を用いているが、D/A変換器の精度を確保して、目標とする可変抵抗値を精度良く設定するには、回路規模が大きくなったり、制御回路製造のための特別な回路製造技術が必要になるといった問題もあった。

【0006】本発明は、このような従来の課題に鑑みてなされたものであり、回路製造技術の複雑化を招かず、容易かつ精度良く出力回路のスルーレートを所望値に調整可能な半導体回路やそのスルーレート調整方法を提供することを目的とする。

【0007】また、本発明の他の目的は、スルーレート調整可能な出力回路を備える半導体回路のスルーレートを自動調整可能な装置を提供することにある。

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明は、所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、スルーレート調整モードが指定されると、前記レプリカゲートにスルーレート調整用パルスを供給するスルーレート調整用パルス発生手段と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するための設定信号を発生させるための設定手段と、備え、前記レプリカゲートは、前記設定信号に基づいてそのスルーレートが設定されると共に、前記出力回路は、そのスルーレートが前記レプリカゲートのスルーレートと同じ値となるように調整されるように構成された。

【0008】スルーレート調整モードが指定されることによってスルーレート調整用パルス発生手段から供給されたスルーレート調整用パルスが供給されたレプリカゲートのスルーレートを観測端子で観測しながら、スルーレートが所望値となるように設定手段を操作する。すると、レプリカゲートは、この設定手段で発生された設定信号に基づいてスルーレートが設定される。また、出力回路は、そのスルーレートがレプリカゲートのスルーレートと同じ値となるように調整される。

【0009】したがって、この発明によれば、レプリカゲートのスルーレート設定で出力回路のスルーレート調整が完了するのでスルーレート調整は容易である。しかも、レプリカゲートは出力回路と同一構成であるので、特別複雑な回路製造技術を要しなくて済む。さらに、通常であれば、製造精度や寄生容量等は、出力回路とレプリカゲートとで異なるが、出力回路とレプリカゲートとは同一構成で同一半導体基板上にあるため、これらも両者で同一のものとなり、レプリカゲートのスルーレート設定で、これらを考慮した出力回路のスルーレート調整

が精度良く行なわれる。

【0010】また、請求項2に係る発明は、所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、前記レプリカゲートにスルーレート調整用パルスを供給するためのスルーレート調整用パルス供給端子と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するための設定信号を発生させるための設定手段と、を備え、前記レプリカゲートは、前記設定信号に基づいてそのスルーレートが設定されると共に、前記出力回路は、そのスルーレートが前記レプリカゲートのスルーレートと同じ値となるように調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路である。

【0011】スルーレート調整用パルス端子から供給されたスルーレート調整用パルスが供給されたレプリカゲートのスルーレートを観測端子で観測しながら、スルーレートが所望値となるように設定手段を操作する。すると、レプリカゲートは、この設定手段で発生された設定信号に基づいてそのスルーレートが設定される。また、出力回路は、そのスルーレートがレプリカゲートのスルーレートと同じ値となるように調整される。

【0012】したがって、この発明によっても、レプリカゲートのスルーレート設定で出力回路のスルーレート調整が完了するのでスルーレート調整は容易である。しかも、レプリカゲートは出力回路と同一構成であるので、特別複雑な回路製造技術を要しなくて済む。さらに、通常であれば、製造精度や寄生容量等は、出力回路とレプリカゲートとで異なるが、出力回路とレプリカゲートとは同一構成で同一半導体基板上にあるため、これらも両者で同一のものとなり、レプリカゲートのスルーレート設定で、これらを考慮した出力回路のスルーレート調整が精度良く行なわれる。

【0013】また、請求項3に係る発明は、請求項1および2のいずれかに記載のスルーレート調整可能な出力回路を備えた半導体回路において、前記レプリカゲートは、受信したデジタル信号に基づいて抵抗値を変化させることによってスルーレート設定が可能に構成され、前記設定手段は、スイッチ操作に応じて発生されるデジタル信号を前記レプリカゲートに送信する手段である、ことを特徴とする。

【0014】この発明によれば、スイッチ操作を行なつて発生されるデジタル信号をレプリカゲートが受信し、受信したデジタル信号に基づいて抵抗値を変化させてスルーレート設定できるので、スイッチ操作により容易にスルーレート調整ができる。

50 【0015】また、請求項4に係る発明は、請求項1に

記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法であって、スルーレート調整モードを指定して、前記スルーレート調整用パルス発生手段から前記レプリカゲートにスルーレート調整用パルスを供給させ、前記設定手段によって、前記観測端子で観測される前記レプリカゲートのスルーレートが所望値となるように設定する、スルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法である。

【0016】また、請求項5に係る発明は、請求項2に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法であって、前記スルーレート調整用パルス供給端子を介して、前記レプリカゲートに前記スルーレート調整用パルスを供給し、前記設定手段によって、前記観測端子で観測される前記レプリカゲートのスルーレートが所望値となるように設定する、スルーレート調整可能な出力回路を備えた半導体回路のスルーレート調整方法である。

【0017】したがって、これら請求項4、5の発明によても、レプリカゲートのスルーレート設定で出力回路のスルーレート調整が完了するのでスルーレート調整は容易である。しかも、レプリカゲートは、出力回路と同一構成であるので、特別複雑な回路製造技術を要しなくて済む。さらに、通常であれば、製造精度や寄生容量等は、出力回路とレプリカゲートとで異なるが、出力回路とレプリカゲートとは、同一構成で同一半導体基板上にあるため、これらも両者で同一のものとなり、レプリカゲートのスルーレート設定で、これらを考慮した出力回路のスルーレート調整が精度良く行なわれる。

【0018】また、請求項6に係る発明は、所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、スルーレート調整モードが指定されると、前記レプリカゲートにスルーレート調整用パルスを供給するスルーレート調整用パルス発生手段と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するために、所定変更パターンで変更されるデジタル信号を供給するための端子群と、前記所定変更パターンで変更されるデジタル信号の内、前記レプリカゲートのスルーレートが所望値となるように設定するためのデジタル信号を不揮発的に記憶するメモリと、を備え、前記レプリカゲートは、前記端子群を介して供給されるデジタル信号に基づいてスルーレートが設定されると共に、前記出力回路は、前記メモリに記憶されたデジタル信号に基づいてスルーレートが調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路である。

【0019】この発明によれば、観測端子でレプリカゲートのスルーレートを観測しながら、所定の変更パターンで変更されるデジタル信号を端子群から供給している、レプリカゲートのスルーレートを所望値とするデジタル信号をメモリに記憶する。そして、この記憶されたデジタル信号に基づいて、出力回路のスルーレートもこの所望値に調整される。

【0020】また、請求項7に係る発明は、請求項6に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置であって、前記観測端子からの観測信号を計測する計測手段と、自動調整に関する制御を行なう制御手段と、を備え、前記制御手段は、前記スルーレート調整モードを指定して、前記スルーレート調整用パルス発生手段から前記レプリカゲートにスルーレート調整用パルスを供給させ、前記端子群に供給するデジタル信号を前記所定変更パターンで変更させて、前記計測手段による計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、この決定したデジタル信号を前記メモリに書き込む、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置である。

【0021】この発明によれば、制御手段は、スルーレート調整用パルス発生手段からレプリカゲートにスルーレート調整用パルスを供給させ、端子群に供給するデジタル信号を所定変更パターンで変更させて、計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、決定したデジタル信号をメモリに書き込むので、出力回路のスルーレート調整を自動的に行なうことができる。

【0022】また、請求項8に係る発明は、所定機能を実現するための内部回路からの信号を半導体基板外部への出力信号とするスルーレート調整可能な出力回路を備えた半導体回路において、前記出力回路と同一構成で、前記出力回路と同一半導体基板上に設けられたレプリカゲートと、前記レプリカゲートのスルーレートを観測するための観測端子と、前記レプリカゲートにスルーレート調整用パルスを供給するためのスルーレート調整用パルス端子と、前記観測端子で観測される前記レプリカゲートのスルーレートを設定するために、所定変更パターンで変更されるデジタル信号を供給するための端子群

と、前記所定変更パターンで変更されるデジタル信号の内、前記レプリカゲートのスルーレートが所望値となるように設定するためのデジタル信号を不揮発的に記憶するメモリと、を備え、前記レプリカゲートは、前記端子群を介して供給されるデジタル信号に基づいてスルーレートが設定されると共に、前記出力回路は、前記メモリに記憶されたデジタル信号に基づいてスルーレートが調整されるように構成される、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路である。

【0023】この発明によれば、観測端子でレプリカゲ

ートのスルーレートを観測しながら、所定の変更パターンで変更されるデジタル信号を端子群から供給している、レプリカゲートのスルーレートを所望値とするデジタル信号をメモリに記憶する。そして、この記憶されたデジタル値に基づいて、出力回路のスルーレートもこの所望値に調整される。

【0024】また、請求項9に係る発明は、請求項8に記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置であって、前記観測端子からの観測信号を計測する計測手段と、自動調整に関する制御を行なう制御手段と、を備え、前記制御手段は、前記スルーレート調整用パルス供給端子を介して、前記レプリカゲートに前記スルーレート調整用パルスを供給し、前記端子群に供給するデジタル信号を前記所定変更パターンで変更させて、前記計測手段による計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、この決定したデジタル信号を前記メモリに書き込む、ことを特徴とするスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置である。

【0025】この発明によれば、制御手段は、スルーレート調整用パルス供給端子を介して、レプリカゲートにスルーレート調整用パルスを供給し、端子群に供給するデジタル信号を所定変更パターンで変更させて、計測結果が所望値のスルーレートとなるようなデジタル信号を決定し、この決定したデジタル信号をメモリに書き込むので、出力回路のスルーレート調整を自動的に行なうことができる。

【0026】また、請求項10に係る発明は、請求項7および9のいずれかに記載のスルーレート調整可能な出力回路を備えた半導体回路のスルーレート自動調整装置において、前記制御手段は、さらに、自動スルーレート調整に関する時間の統計処理を行なって、その結果を出力手段に出力させる手段であることを特徴とする。

【0027】この発明によれば、制御手段が、自動スルーレート調整に関する時間、例えば自動調整に要した時間の平均値や総和等の統計処理を行なって出力手段に出力させて、自動調整工程の管理等に役立つものとなる。

【発明の実施の形態】以下に、本発明の実施の形態を図面を参照しつつ説明する。

(第1の実施の形態) 図1は、本発明の半導体回路の第1の実施の形態のブロック構成図である。この半導体回路は、半導体回路内の所定箇所にクロック供給を行なうクロック生成部3を含み、データ伝送等の所定機能を実現させるための内部回路2と、スルーレート調整可能な出力回路4a、4b、…、4nと、出力回路と同一構成のレプリカゲート6と、クロック生成部3からクロック供給を受けてスルーレート調整モードが指示された時には所定周期の矩形パルスであるスルーレート調整用パル

スをレプリカゲート6に供給するスルーレート調整用パルス発生部5と、スルーレートを設定するためのスイッチ部7とを備えていて、少なくとも出力回路4a、4b、…、4nとレプリカゲート6とが同一の半導体基板1上に形成されている。

【0028】また、出力回路4a、4b、…、4nから半導体基板外部に信号を出力するための出力端子11と、レプリカゲート6のスルーレートを観測するための観測端子9と、スルーレート調整用パルス発生部5にモード制御信号を供給するためのモード制御端子8とが半導体回路に設けられている。なお、この構成例では出力回路を複数個備えた場合について図示しているが、出力回路は1個以上であれば良く、また、内部回路2の前段に他の半導体回路からの信号を入力するための入力回路を備えた構成にしても良い。

【0029】図2は、レプリカゲート6とその周辺部の回路構成を示した回路図である。なお、本発明においては、レプリカゲート6の構成は、出力回路4a、4b、…、4nの構成と同一で、両者は同一半導体基板上に形成される点に特徴がある。これを表現するために図2において、符号6(4a、4b、…、4n)と記している。以下においては、レプリカゲート6のみについてその内部構成を説明し、出力回路4a、4b、…、4nの内部構成の説明を省略する。

【0030】レプリカゲート6は、P型MOSトランジスタ103とN型MOSトランジスタ104とを接続したC-MOS回路と、P型MOSトランジスタ103のソース端子と電源ライン(Vcc)との間に設けられた抵抗値設定部100と、N型MOSトランジスタ104のソース端子と接地ライン(gnd)との間に設けられた抵抗値設定部101と、C-MOS回路の出力をそのゲート端子に入力すると共に、そのドレイン端子を抵抗108を介して電源ライン(Vcc)とオーブンドレン接続したN型MOSトランジスタ108とを有し、N型MOSトランジスタ107のドレイン端子には観測端子9が接続されている。なお、C-MOS回路を構成する両トランジスタ103、104の共通接続されたゲートには、図2に示す回路がレプリカゲート6である場合には、スルーレート調整用パルスが入力される。一方、

図2に示す回路が出力回路4a、4b、…、4nである場合には、内部回路2からの信号が入力される。また、図2に示す回路が出力回路である場合には、N型MOSトランジスタ107のドレイン端子には出力端子11が接続される。

【0031】スイッチ部7は、符号110～113、120～123で示される8個の操作スイッチで構成されている。この操作スイッチは、例えばディブスイッチやスプリングシャントで実現可能である。作業員が操作スイッチを操作することによって、そのスイッチに対応する信号線の電圧レベルが、ハイレベル「H」またはロー

レベル「L」のいずれかに設定されるようになっている。そして、操作スイッチ110、111、112、113に接続された4本の信号線は、レプリカゲート6および出力回路4a、4b、…、4nの抵抗値設定部100に接続される。また、操作スイッチ120、121、122、123に接続された4本の信号線は、レプリカゲート6および出力回路4a、4b、…、4nの抵抗値設定部101に接続されている。なお、抵抗値設定部100によって設定された抵抗値と共に、レプリカゲート6（出力回路4a、4b、…、4n）の出力信号の立ち下がり時スルーレートに寄与する寄生容量を緩めて符号105の容量素子で表現している。同様に、抵抗値設定部101によって設定された抵抗値と共に、レプリカゲート6（出力回路4a、4b、…、4n）の出力信号の立ち上がり時スルーレートに寄与する寄生容量を緩めて符号106の容量素子で表現している。

【0032】図3は、抵抗値設定部101の内部回路構成図である。この抵抗値設定部101は、4個のN型MOSトランジスタ130、131、132、133を並列接続し、N型MOSトランジスタ130、131、132、133夫々のゲート端子を信号線S1、S2、S3、S4と接続している。なお、信号線S1、S2、S3、S4は、夫々操作スイッチ120、121、122、123と接続している信号線である。信号線S1、S2、S3、S4に供給するデジタル信号（1=ハイレベル「H」、0=ローレベル「L」）によって図中の端子A-B間の抵抗値を変化させることができる。例えば「S1、S2、S3、S4=（1000）」とすれば、N型MOSトランジスタ130のみがオン状態となる。この時の端子A-B間の抵抗値をRとすれば、例えば「S1、S2、S3、S4=（1100）」、「S1、S2、S3、S4=（1110）」、「S1、S2、S3、S4=（1111）」の端子A-B間の抵抗値は、夫々、「R/2」、「R/3」、「R/4」となる。このようにして、操作スイッチ120～123の操作によって抵抗値設定部101の抵抗値を変化させることができ、もってスルーレート（レプリカゲート6（出力回路4a、4b、…、4n）の出力信号立ち上がり時）を調整することができる。

【0033】同様に、図4は、抵抗値設定部100の内部回路構成図である。この抵抗値設定部100は、4個のP型MOSトランジスタ135、136、137、138を並列接続し、P型MOSトランジスタ135、136、137、138夫々のゲート端子を信号線S5、S6、S7、S8と接続している。なお、信号線S5、S6、S7、S8は、夫々操作スイッチ110、111、112、113と接続している信号線である。信号線S5、S6、S7、S8に供給するデジタル信号（1=ハイレベル「H」、0=ローレベル「L」）によって図中の端子C-D間の抵抗値を変化させることができ

る。例えば「S5、S6、S7、S8=（0111）」とすれば、P型MOSトランジスタ135のみがオン状態となる。この時の端子C-D間の抵抗値をRとすれば、例えば「S5、S6、S7、S8=（0011）」、「S5、S6、S7、S8=（0001）」、「S5、S6、S7、S8=（0000）」の端子C-D間の抵抗値は、夫々、「R/2」、「R/3」、「R/4」となる。このようにして、操作スイッチ110～113の操作によって抵抗値設定部101の抵抗値を変化させることができ、もってスルーレート（レプリカゲート6（出力回路4a、4b、…、4n）の出力信号立ち下がり時）を調整することができる。

【0034】ここで、抵抗値設定部100、101において抵抗値が設定されているものとして、レプリカゲート6（出力回路4a、4b、…、4n）内の動作について図2を参照して、より詳細に説明して理解の容易化を図る。レプリカゲート6（出力回路4a、4b、…、4n）に立ち上がり信号（ローレベルからハイレベルへの変化信号）が入力された場合、P型MOSトランジスタ103がオフ状態になると共に、N型MOSトランジスタ104がオン状態となる。この時、抵抗値設定部101で設定された抵抗値と寄生容量106の積である時定数で、図中のノードMの電圧が下がっていき、その結果、N型MOSトランジスタ107がオフ状態となって観測端子9での電圧がハイレベル（レプリカゲート6（出力回路4a、4b、…、4n）の出力信号立ち上がり）となる。

【0035】一方、レプリカゲート6（出力回路4a、4b、…、4n）に立ち下がり信号（ハイレベルからローレベルへの変化信号）が入力された場合、P型MOSトランジスタ103がオン状態になると共に、N型MOSトランジスタ104がオフ状態となる。この時、抵抗値設定部100で設定された抵抗値と寄生容量105の積である時定数で、図中のノードMの電圧が上がっていき、その結果、N型MOSトランジスタ107がオン状態となって観測端子9での電圧がローレベル（レプリカゲート6（出力回路4a、4b、…、4n）の出力信号立ち下がり）となる。

【0036】このようにして、選択スイッチ110～113、120～123の操作を行なって発生されるデジタル信号を出力回路4a、4b、…、4nおよびレプリカゲート6が受信し、受信したデジタル信号に基づいて、スルーレートを調整できるので、スイッチ操作により容易にスルーレート調整ができる。なお、例えば、図5に示すように、a（V）からb（V）までの立ち上がり時間tr、b（V）からa（V）までの立ち下がり時間tfの夫々が、「c±d（nsec/v）」、「e±f（nsec/v）」なる値となればスルーレートが所望値となったとしてスルーレート調整を行なえば良い。50 【0037】さて、図1にて示した半導体回路における

出力回路のスルーレート調整方法について説明する。作業者は、モード制御端子8にハイレベル信号を供給すると、スルーレート調整用パルス発生部5は、スルーレート調整用パルスをレプリカゲート6に供給する。次に、観測端子9を介してレプリカゲート6のスルーレートをオシロスコープ等の波形計測器で測定し、この計測結果が図5に示したような仕様を満足するか否かを判断する。

【0038】満足されていない場合には、作業者は操作スイッチ110～113、120～123を操作する。具体的には、各操作スイッチに接続される信号線の電圧レベルをハイレベルまたはローレベルにする操作を、観測端子9でのスルーレートが仕様を満足するまで行なう。そして、操作スイッチによる操作が完了されて観測端子9でのスルーレートが仕様を満足するものとなつた場合には、レプリカゲート6のスルーレート設定が完了される。この時、各出力回路4a、4b、…、4n内の両抵抗値設定部100、101にも同一の抵抗値を設定するための信号が供給されて、各出力回路4a、4b、…、4nのスルーレートが、レプリカゲート6のスルーレート設定値と同じくなるように調整される。

【0039】この実施の形態によれば、モード制御端子8にハイレベル信号を供給して、スルーレート調整用パルスをプリカゲート6に供給させ、選択スイッチ110～113、120～123によって、観測端子9におけるスルーレートが所望値となるように設定する。すると、レプリカゲート6は、この選択スイッチ110～113、120～123の操作によって発生されたデジタル信号に基づいてそのスルーレートが設定される。また、出力回路4a、4b、…、4nは、そのスルーレートがレプリカゲートのスルーレートと同じ値となるように調整される。

【0040】したがって、この発明によれば、レプリカゲート6のスルーレート設定で出力回路4a、4b、…、4nのスルーレート調整が完了するのでスルーレート調整は容易である。しかも、レプリカゲート6は、出力回路4a、4b、…、4nと同一構成であるので、特別複雑な回路製造技術を要しなくて済む。さらに、通常であれば、製造精度や寄生容量等は、出力回路4a、4b、…、4nとレプリカゲート6とで異なるが、出力回路とレプリカゲートとは同一構成で同一半導体基板上にあるため、これらも両者で同一のものとなり、レプリカゲートのスルーレート設定でこれらを考慮した出力回路のスルーレート調整が精度良く行なわれる。

【0041】(第2の実施の形態)この実施の形態は、スルーレート調整用パルスを直接、レプリカゲート6に供給してスルー�レート調整する点に特徴がある。図6は、この実施の形態の半導体回路のブロック構成図である。図1に示すものと同一の構成要素には、同一符号を付している。図1に示す半導体回路との相違点は、スル

ーレート調整用パルス発生部5を設けず、その替わりに、スルーレート調整用パルスをレプリカゲート6に供給するためのスルーレート調整用パルス供給端子10を設けた点にある。その他、図2乃至図4に示す回路構成等には相違点がない。

【0042】さて、図6にて示した半導体回路における出力回路のスルーレート調整方法について説明する。作業者は、スルーレート調整用パルス供給端子9を介してスルーレート調整用パルスをレプリカゲート6に供給する。次に、観測端子9を介してレプリカゲート6のスルーレートをオシロスコープ等の波形計測器で測定し、この計測結果が図5に示したような仕様を満足するか否かを判断する。

【0043】満足されていない場合には、作業者は操作スイッチ110～113、120～123を操作する。具体的には、各選択スイッチに接続される信号線の電圧レベルをハイレベルまたはローレベルにする操作を、観測端子9でのスルーレートが仕様を満足するまで行なう。そして、操作スイッチによる選択が完了されて観測端子9でのスルーレートが仕様を満足するものとなつた場合には、レプリカゲート6のスルーレート設定が完了される。この時、各出力回路4a、4b、…、4n内の両抵抗値設定部100、101にも同一の抵抗値を設定するための信号が供給されて、各出力回路4a、4b、…、4nのスルーレートが、レプリカゲート6のスルーレート設定値と同じくなるように調整される。

【0044】この実施の形態によれば、スルーレート調整用パルス供給端子10を介して、レプリカゲート6にスルーレート調整用パルスを供給し、選択スイッチ110～113、120～123の操作によって、観測端子9におけるスルーレートが所望値となるように調整する。すると、レプリカゲート6は、この選択スイッチ110～113、120～123の操作によって発生されたデジタル信号に基づいてスルーレートが設定される。また、出力回路4a、4b、…、4nは、そのスルーレートがレプリカゲートのスルーレートと同じ値となるように調整される。したがって、この実施の形態によっても、第1の実施の形態と同様な効果が得られると共に、さらに、スルーレート調整用パルス発生部5やクロック生成部3との配線等を設けずに済む。内部回路2側でクロック生成部3が不要であれば、クロック生成部3自体を設けなくて済み、スルーレート調整のための回路規模の増大分はレプリカゲート6やスイッチ部7の分のみとなる。

【0045】(第3の実施の形態)この実施の形態は、出力回路のスルーレートを自動調整する点に特徴がある。図7は、半導体回路200a、200b、…、のスルーレート自動調整ラインを上方から見た模式的説明図である。半導体回路200a、200b、…、が所定間隔で載置されている搬送ベルト300は、図示しないべ

ルト移動制御機構によって移動制御される。後に説明するスルーレート自動調整装置400は、搬送ベルト300の短手方向の一方の端部に近接するようにして配置されている。そして、図示しないベルト移動制御機構は、搬送ベルト300を符号Eで示す方向に移動するように移動制御しながら、搬送されて行く半導体回路200a、200b、…のスルーレート調整に必要な端子が、スルーレート自動調整装置400の対応する箇所に電気的に接觸するような位置で、移動制御を仮停止をして、所定時間経過後に再度、符号E方向への搬送ベルト300の移動制御を行なう。これによって、各半導体回路200a、200b、…がスルーレート自動調整装置400によって自動スルーレート調整可能となる。

【0046】図9は、この実施の形態のレプリカゲート6とその周辺部の回路構成図であり、この実施の形態においても、出力回路4a、4b、…、4nは、レプリカゲート6と同一構成で、同一半導体基板1上に形成されている。図9に示す回路と、図2に示す回路との違いは、図2の回路におけるスイッチ部7に替えて、抵抗値設定部100、101に接続される各信号線に対する端子140～147で構成される抵抗値設定端子群12を設け、この抵抗値設定端子群12を介して各信号線にデジタル信号が供給可能になっている点にある。また、ROM等で構成される不揮発性メモリ14とこの不揮発性メモリ14からの出力をバッファ動作するバッファ19とを新たに備えている。なお、このバッファ19は、ハイインピーダンス制御端子13を介して、ローレベル信号が供給されるとハイインピーダンス状態となって信号線と切り離される（通常時はハイレベル信号が供給されてバッファ動作を行なうように構成されている）。

【0047】また、通常時には、書き込み制御端子18にローレベル信号が印加され、インバータ16を介して、ハイレベル信号が不揮発性メモリ14の読み出し端子（R：アクティブハイ）に印加されることで、不揮発性メモリ14内の所定エリア（D0～D7）に記憶されているデジタル信号が、バッファ19を介して、信号線に供給されるように構成されている（図示しないアドレス端子等に適切な電圧が印加されるように構成されている）。また、書き込み制御端子18を介して、ハイレベル信号が不揮発性メモリ14の書き込み端子（W：アクティブハイ）に供給されると、データ端子17を介して与えられたデジタル信号が上記所定エリア（D0～D7）に記憶されるようになっている。なお、読み出し端子（R）と書き込み端子（W）との間にはインバータ16が設けられているため、一方の動作が行なわれる時には、他方の動作が行なわれないようになっている。

【0048】したがって、レプリカゲート6のスルーレート設定を行なう際には、ハイインピーダンス制御端子13を介して、ローレベル信号を供給して、バッファ19を信号線と切り離しておき、後に説明するスルーレー

ト自動調整装置400が所定変更パターンで変化するデジタル信号（抵抗値設定端子群12に印加する）の内で、所望値のスルーレートとなるようなデジタル信号を決定する。そして、バッファ19と信号線との切り離しを行なった状態で、デジタル信号の不揮発性メモリ14への書き込み動作を行なう。そのためには、書き込み制御端子18にハイレベル信号を供給すると共に、データ端子17を介してデジタル信号を与えて所定メモリ（D0～D7）にデジタル信号を書き込む。そして、書き込み制御端子18へのハイレベル信号の供給を停止し、さらにハイインピーダンス端子13を介してのローレベル信号の供給を停止して、バッファ19の信号線との切り離しを解除することにより、不揮発性メモリ14に書き込まれたデジタル信号が、対応する信号線に供給されるようになる。

【0049】図8は、スルーレート自動調整装置400のブロック構成図である。このスルーレート自動調整装置400は、半導体回路200a、200b、…の所定の端子に電気的に接觸する端子を備えた端子接觸部410と、計測部401と、制御部402と、表示部403と、印刷部404とを有して構成される。端子接觸部410には、観測端子9に接觸する端子9b、抵抗値設定端子群12に接觸する端子12b（図では1個のみ記載）、ハイインピーダンス制御端子13に接觸する端子13b、データ端子17に接觸する端子17b、書き込み制御端子18に接觸する端子18b、および、モード制御端子8に接觸する端子8bを備えている。なお、この構成は、第1の実施の形態の半導体回路の該当部分を図9の回路で置き換えた半導体回路の自動スルーレート調整を行なうためのものである。

【0050】次に、図10の制御フローチャート等を参照して、スルーレート自動調整装置400の制御動作について説明する。搬送ベルト300の仮停止制御によって半導体回路200aがスルーレート自動調整対象となつた場合、端子接觸部410の端子9b、12b、13b、17b、18b、8bの夫々は、半導体回路200aの観測端子9、抵抗値設定端子群12、ハイインピーダンス制御端子13、データ端子17、書き込み制御端子18、モード制御端子8と接觸する。まず、制御部402は、端子8bを介してモード制御端子8にハイレベルのモード制御信号を供給し（ステップS1000）、端子13bを介してハイインピーダンス制御端子13にローレベル信号を供給する（ステップS1002）。この結果、スルーレート調整モードとなってスルーレート調整用パルス発生部5によるレプリカゲート6へのスルーレート調整用パルスの供給が開始されると共に、不揮発性メモリ14が信号線と切り離される。

【0051】次に、端子9bを介して計測部401にてレプリカゲート6のスルーレートが計測されて、制御部402は、この計測結果が仕様を満足するものであると

判断した場合には (Yes) ステップ S1005 に移行する。一方、これ以外の場合 (No) には、計測結果が仕様を満足するまで、所定変更パターンで端子 12b に印加するデジタル信号を変更して計測を行ない、仕様を満足させるデジタル信号を決定する (ステップ S1003, S1004)。ここで、所定変更パターンでの変更としては、端子 140 ~ 147 に印加するデジタル信号を、例えば「00001111」、「10000111」、「11000011」、「11100001」としていくことが挙げられる。

【0052】次に、制御部 402 は、端子 18b を介して書き込み制御端子 18 にハイレベル信号を供給し、データを書き込み可能にして、先に決定したデジタル信号を端子 17b を介してデータ端子 17 から不揮発性メモリ 14 に供給する (ステップ S1005)。この結果、所定エリアには前記決定されたデジタル信号が不揮発的に記憶される。なお、デジタル信号を半導体回路 200a に送った後に、書き込み制御端子 18 へのハイレベル信号の供給を停止する。そして、制御部 402 は、端子 13b を介して供給していたハイインピーダンス制御用のローレベル信号の供給を停止し (ステップ S1006)、端子 8b を介して供給していたモード制御信号の供給を停止する (ステップ S1008)。この結果、バッファ 19 のハイインピーダンス状態が解除され、不揮発性メモリ 14 の所定エリアのデータが読み出されて信号線上に供給されるようになり、スルーレート調整用パルス発生部 5 によるレプリカゲート 6 へのスルーレート調整用パルスの供給が停止する。したがって、出力回路 4a, 4b, …, 4n のスルーレートが、レプリカゲート 6 で設定されたスルーレートと同じくなるようにスルーレートの自動調整が行なわれる。

【0053】この実施の形態によれば、観測端子 9 に接触する端子 9b を介してレプリカゲート 6 のスルーレートを観測しながら、所定の変更パターンで変更されるデジタル信号を抵抗値設定端子群 12 から供給していき、レプリカゲート 6 のスルーレートを所望値とするデジタル信号を不揮発性メモリ 14 に記憶する。そして、この記憶されたデジタル信号に基づいて、出力回路のスルーレートもこの所望値に調整されるので、スルーレートを自動調整可能な半導体回路と、このスルーレートの自動調整を行なう装置とを実現できる。しかも、半導体回路自体は、第 1 の実施の形態の効果と同様に、特別複雑な回路製造技術を要しなく、レプリカゲート 6 のスルーレート設定で寄生容量等を考慮した出力回路のスルーレート調整が精度良く行なわれる。

【0054】なお、制御部 402 が、図示しない内蔵タイマーによってステップ S1003, S1004 の動作を完了するまでの時間を計測するようにしておき、さらに、これらの平均値や日毎の調整時間の総計を求め、これを表示部 403 で表示出力させたり、印刷部 404 に

て印刷出力させたりすることで、製造ライン工程管理の便宜に供するようにすることもできる。

【0055】(第4の実施の形態) この実施の形態は、図 6 に示す第 2 の実施の形態の半導体回路の該当部分を図 9 の回路で置き換えた半導体回路の自動スルーレート調整を行なう点に特徴がある。図 11 は、この実施の形態のスルーレート自動調整装置 450 の構成図である。図 8 に示す装置と同一の構成要素には、同一の符号を付している。図 11 に示すスルーレート自動調整装置 450 は、図 8 に示すスルーレート自動調整装置 400 の端子 8b に替えて、スルーレート調整用パルス供給端子 10 に接続する端子 10b を設けている。そして、図 12 (a) のステップ S1001 で示される、端子 10b を介しての調整用パルス供給開始動作と、図 12 (b) のステップ S1007 で示される、端子 10b を介しての調整用パルス供給停止動作とが、図 10 を参照して説明した制御動作における、端子 8b を介してのモード制御信号 (ハイレベル) 供給開始 (ステップ S1000) と、端子 8b を介してのモード制御信号の供給停止 (ステップ S1008) に替えて実行され、自動スルーレート調整が行なわれる (ステップ S1001 はステップ S1000 に、ステップ S1007 はステップ S1008 に対応する)。

【0056】この実施の形態によても、スルーレートを自動調整可能な半導体回路と、このスルーレートの自動調整を行なう装置とを実現できる。しかも、半導体回路自体は、第 2 の実施の形態の効果と同様に、特別複雑な回路製造技術を要しなく、レプリカゲート 6 のスルーレート設定で、寄生容量等を考慮した出力回路のスルーレート調整が精度良く行なわれる。なお、この実施の形態においても、制御部 405 が、調整時間等の統計処理を行なってその処理結果を表示部 403 に表示出力せたり、印刷部 404 で印刷出力させたりして、工程管理の便宜に供するようにしても良い。

【0057】以上説明したきた本発明の各実施形態に対してはその要旨を逸脱しない範囲内での種々の変形を行なうことができ、例えば、抵抗値設定部 100, 101 を構成する回路のトランジスタのゲート幅を変えて抵抗値に重み付けすること等が考えられる。なお、上述してきた半導体回路としては、データ伝送回路やバスドライバ等が挙げられるが、これらには限られない。

【発明の効果】以上説明してきたように、本発明によれば (請求項 1 乃至 6)、レプリカゲートのスルーレート設定で、出力回路のスルーレート調整が完了するのでスルーレート調整は容易である。しかも、レプリカゲートは出力回路と同一構成であるので、特別複雑な回路製造技術を要しなくて済む。さらに、通常であれば、製造精度や寄生容量等は、出力回路とレプリカゲートとで異なるが、出力回路とレプリカゲートとは同一構成で同一半導体基板上にあるため、これらも両者で同一のものとな

り、レプリカゲートのスルーレート設定で、これらを考慮した出力回路のスルーレート調整が精度良く行なわれるという効果が得られる。

【0058】また、本発明の他のものによれば（請求項6乃至10）によれば、上記効果に加えて、スルーレートを自動調整可能な出力回路を備えた半導体回路やこの自動調整を行なうための装置を提供できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体回路の第1の実施の形態のブロック構成図である。

【図2】レプリカゲート6（出力回路4a、4b、…、4n）とその周辺部の回路図である。

【図3】抵抗値設定部101の内部回路構成図である。

【図4】抵抗値設定部100の内部回路構成図である。

【図5】スルーレートの説明図である。

【図6】本発明の半導体回路の第2の実施の形態のブロック構成図である。

【図7】半導体回路200a、200b、…、のスルーレート自動調整ラインの模式的説明図である。

【図8】第3の実施の形態のスルーレート自動調整装置400のブロック構成図である。

【図9】第3の実施の形態のレプリカゲート6（出力回路4a、4b、…、4n）とその周辺部の回路図である。

【図10】第3の実施の形態のスルーレート自動調整装置400の制御動作を説明するためのフローチャートである。

【図11】第4の実施の形態のスルーレート自動調整装置450のブロック構成図である。

【図12】第4の実施の形態のスルーレート自動調整装置450の制御動作を説明するためのフローチャートである。

【符号の説明】

1 半導体基板

2 内部回路

3 クロック生成部

4a、4b、…、4n 出力回路

5 スルーレート調整用パルス発生部

6 レプリカゲート

7 スイッチ部

8 モード制御端子

9 観測端子

10 スルーレート調整用パルス供給端子

11 出力端子

10 12 抵抗値設定端子群

13 ハイインピーダンス制御端子

14 不揮発性メモリ

16 インバータ

17 データ端子

18 書込み制御端子

19 バッファ

100 抵抗値設定部

101 抵抗値設定部

103 P型MOSトランジスタ

20 104 N型MOSトランジスタ

105 寄生容量

106 寄生容量

108 摭抗

107 N型MOSトランジスタ

110、111、112、113 選択スイッチ

120、121、122、123 選択スイッチ

200a、200b 半導体回路

300 搬送ベルト

400 スルーレート自動調整装置

401 計測部

402 制御部

403 表示部

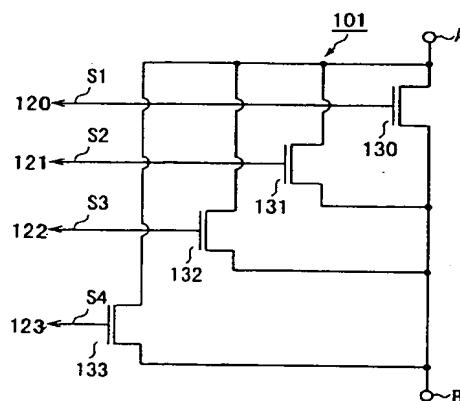
404 印刷部

405 制御部

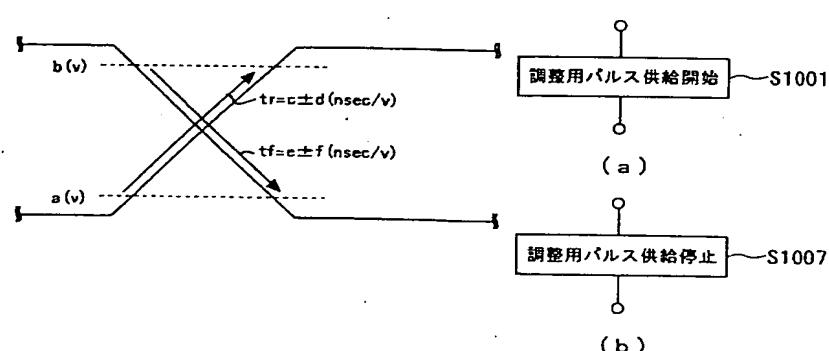
410 端子接触部

450 スルーレート自動調整装置

【図3】

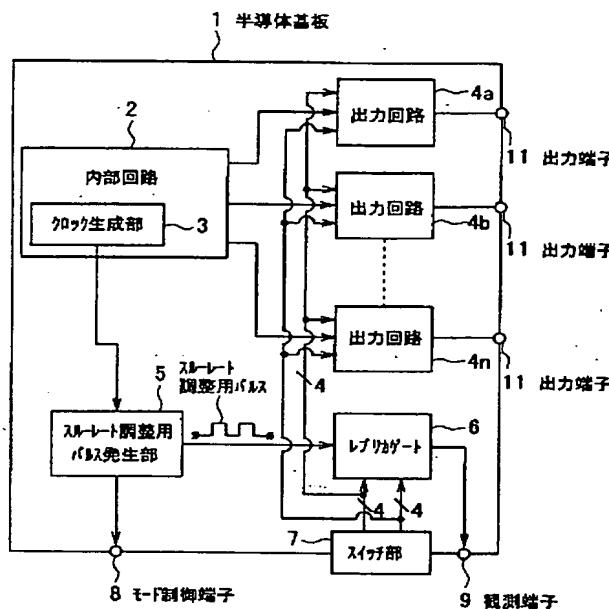


【図5】

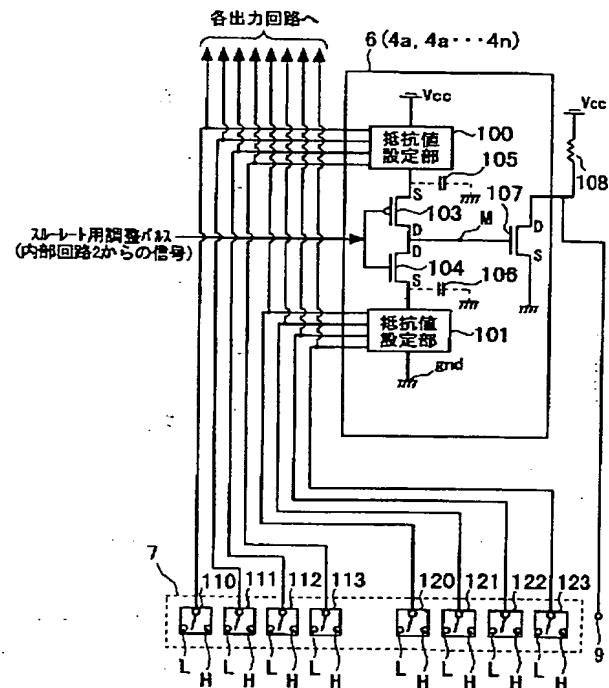


【図12】

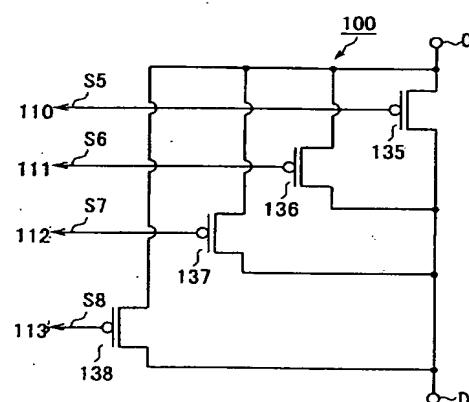
【図1】



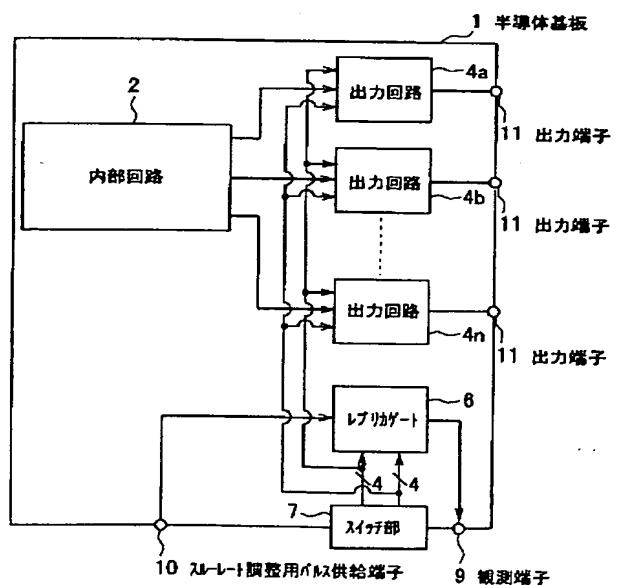
【図2】



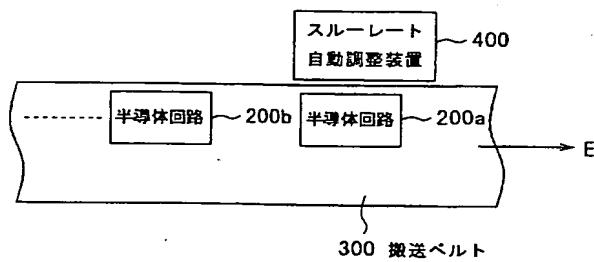
【図4】



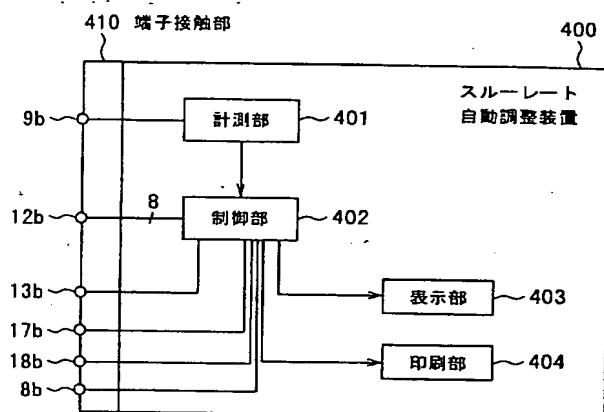
【図6】



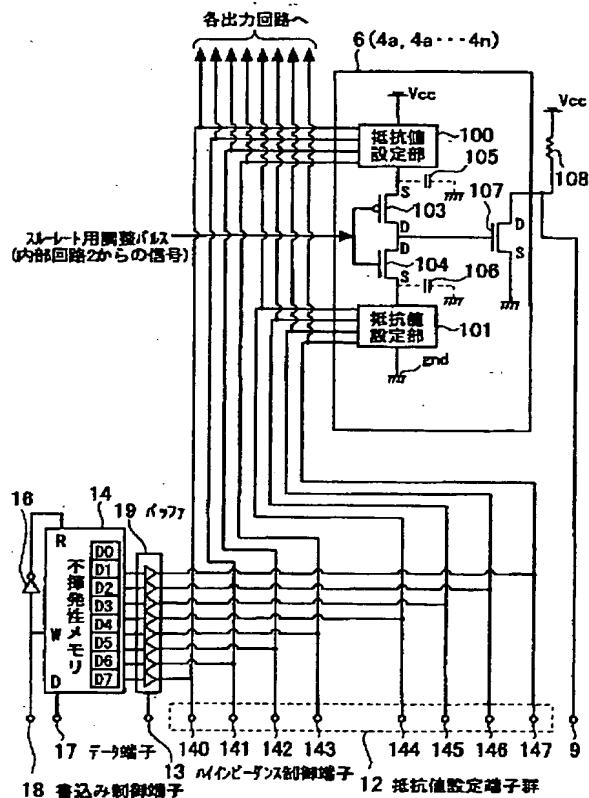
[図7]



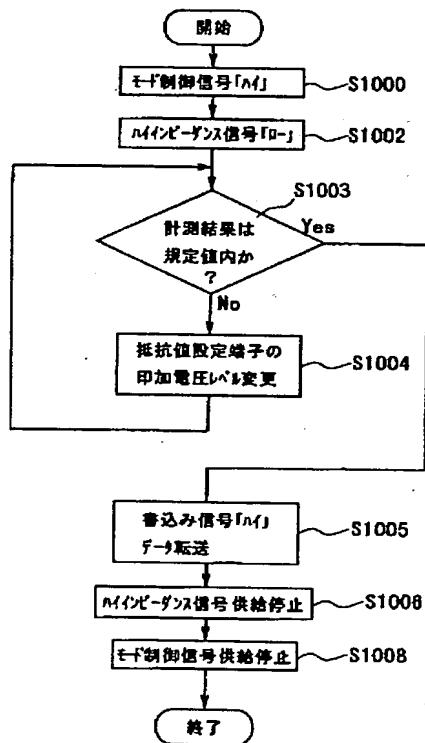
〔图8〕



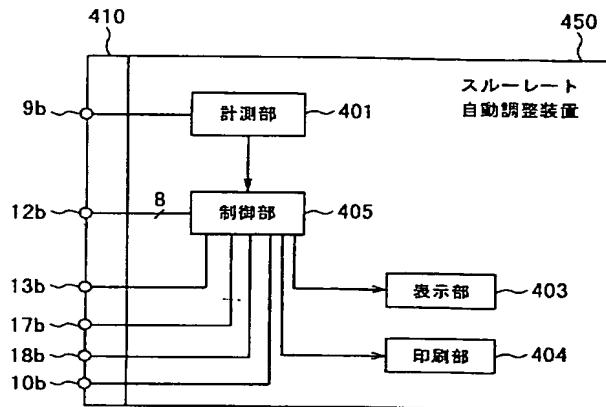
[図9]



【四七〇】



【図11】



## 【手続補正書】

【提出日】平成11年10月19日 (1999. 10. 19)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

## 【補正方法】変更

## 【補正内容】

【発明の名称】スル率調整可能な出力回路を備えた半導体回路およびその調整方法ならびに自動調整装置

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**